

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266433

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H03H 17/02
// G10K 15/12

(21)Application number : 08-073537

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 28.03.1996

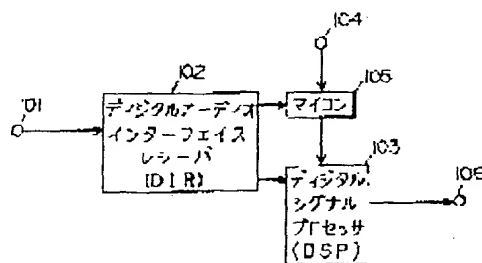
(72)Inventor : MURAKI KENJI

(54) SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively utilize a difference from the processing capability due to a difference from a sampling frequency while suppressing increase in a storage capacity in a DSP by selecting a processing block in response to a sampling frequency detected by a detection means.

SOLUTION: A signal subject to biphase mark modulation is given to a DIR 102 and a PLL is used to conduct clock and data demodulation. Since the demodulated data include a sub code denoting a sampling frequency, the sampling frequency is detected by the sub code and outputted to a microcomputer 105. Furthermore, a signal to take synchronization in the signal processor such as sampling frequencies f_s , $32f_s$, $64f_s$, is outputted from the DIR 102. The DSP 103 receives data sent in synchronism with the sampling frequency from the DIR 102 and the signal processing is conducted by an operation clock in a synchronism with the sampling frequency and processing data are outputted with a clock signal in synchronism with the sampling frequency again.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-266433

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02	6 1 5	9274-5J	H 0 3 H 17/02	6 1 5 B
// G 1 0 K 15/12			G 1 0 K 15/00	B

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-73537

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 村木 健司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

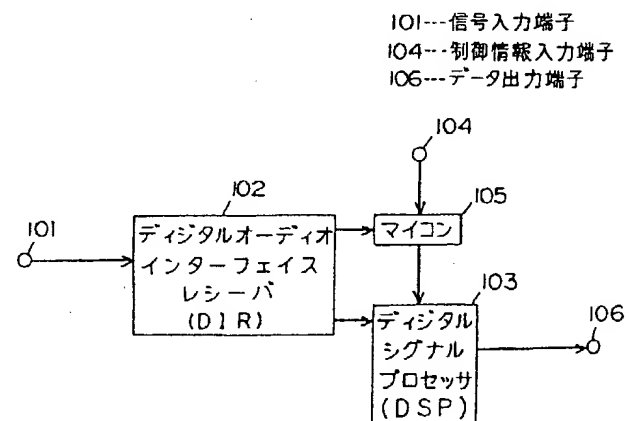
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 信号処理装置

(57) 【要約】

【課題】 複数のサンプリング周波数のデジタル信号を処理することができる信号処理装置において、記憶容量の増大を抑えながら、サンプリング周波数の違いによる処理能力の差を有効に利用できる信号処理装置を提供する。

【解決手段】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段を含むデジタルオーディオインターフェイスレシーバ102と、複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段としてのデジタルシグナルプロセッサ103と、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段としてのマイコン105とを備える。



【特許請求の範囲】

【請求項1】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、

前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えた信号処理装置。

【請求項2】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、

前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行するそれぞれの処理ブロックの処理回数を制御する制御手段とを備えた信号処理装置。

【請求項3】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムを複数個持ち、その内の1つの処理プログラムにより前記デジタル信号を処理する信号処理手段と、

制御情報に応じて前記信号処理手段の処理プログラムを選択し、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えた信号処理装置。

【請求項4】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムを複数個持ち、その内の1つの処理プログラムにより前記デジタル信号を処理する信号処理手段と、

制御情報に応じて前記信号処理手段の処理プログラムを選択し、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックの実行回数を制御する制御手段とを備えた信号処理装置。

【請求項5】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、

前記信号処理手段用の複数の処理プログラムを持ち、制御情報に応じて前記処理プログラムの1つを選択して前記信号処理手段へ送るとともに、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えた信号処理装置。

【請求項6】 デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、

複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、

前記信号処理手段用の複数のプログラムを持ち、制御情報に応じて前記処理プログラムの1つを選択して前記信号処理手段へ送るとともに、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行するそれぞれの処理ブロックの実行回数を制御する制御手段とを備えた信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数のサンプリング周波数のデジタル信号を処理することができる信号処理装置に関するものである。

【0002】

【従来の技術】 近年、CDプレーヤ、DAT、BS放送受信機、LDプレーヤ、MDレコーダなどのデジタルオーディオ装置が普及してきている。これらの機器の普及に伴い、デジタル信号を処理する信号処理装置が開発されている。このような信号処理装置では、主にデジタルシグナルプロセッサ（以下、DSPと呼ぶ）を用いて実現されるデジタルフィルタによって、音質調整（バス、トレブル、グラフィックイコライザなど）や音響効果（残響音、反射音、音程変換など）の付加などを行う。

【0003】 民生用デジタルオーディオに用いられるデジタル信号のサンプリング周波数は、主に48[kHz]、44.1[kHz]、32[kHz]の3種類であるが、信号処理装置はこれら3種類のサンプリング周波数のデジタル信号に対応する必要がある。このため、サンプリング周波数に応じてデジタルフィルタの係数を変更することが行われている。この技術は、たとえば実開昭63-23824号公報「デジタルフィルタ回路装置」などで開示されている。

【0004】 ところで、DSPの動作クロックが周波数一定の振動子から供給されているような場合、デジタル信号のサンプリング周波数が変化するとDSPの処理能力も変化する。たとえば、DSPの処理が80[ns] / ステップとすれば、サンプリング周波数44.1[kHz]の信号の場合、1サンプリング周期内の最大処理ステップ数は283ステップであるが、48[kHz]であれば260ステップとなる。

【0005】 このようなサンプリング周波数の違いによる処理能力の差を有効に利用する方法として、サンプリング周波数ごとに専用の処理プログラムを用いる方法が特公平7-101834号公報「デジタル信号処理装置」に開示されている。以下、従来の信号処理装置について説明する。

【0006】 図5は従来の信号処理装置の構成を示すブロック図である。図5において、51はデジタル信号入力端子、52は入力されたデジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段、53はデジタル信号を入力し、サンプリング周波数検出

手段52が検出したサンプリング周波数に応じたプログラムにより信号処理を行い出力するDSP、54はDSP53からのデジタル信号の出力端子である。

【0007】以上のように構成された従来の信号処理装置について、以下その動作を説明する。

【0008】まず、デジタル信号が、デジタル信号入力端子51から入力される。入力されたデジタル信号のサンプリング周波数は、サンプリング周波数検出手段52で検出される。また、デジタル信号はDSP53にも入力される。DSP53には複数のサンプリング周波数に対応できるように、それぞれのサンプリング周波数用の処理プログラムを持ち、サンプリング周波数検出手段52で検出されたサンプリング周波数に応じた処理プログラムを選択し、その処理プログラムに従い信号処理を行う。DSP53で処理された信号は出力端子54から出力される。

【0009】

【発明が解決しようとする課題】しかし、以上のような従来の構成では、それぞれのサンプリング周波数に応じた処理プログラムを持たなければならず、DSP内に必要とする記憶容量が増大するという問題点がある。DSP処理プログラム1つのデータ量は、たとえば、1kバイト（プログラム長：256語、4バイト/語）程度となる。3種類のサンプリング周波数に対応するためには3kバイトの記憶容量が必要となる。さらに、音楽モード（音場制御、音質調整など）、AVモード（マルチチャンネルサラウンドなど）、カラオケモード（ボイスキャンセル、キーコントロール、エコーなど）など、各種処理モードに対応すると、プログラム容量は一層増加する。プログラムの格納場所が、DSPに内蔵されたプログラム用マスクROMである場合、ROM容量は1k語程度に限定されることが多く、多数のDSPプログラムを格納する事は困難である。

【0010】本発明は、上記問題点を解決するもので、DSP内での記憶容量の増大を抑えながら、サンプリング周波数の違いによる処理能力の差を有効に利用できる信号処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記問題点を解決するため、本発明の信号処理装置は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムにより、デジタル信号を処理する信号処理手段と、サンプリング周波数検出手段が検出するサンプリング周波数に応じて、信号処理手段が実行する処理ブロックを選択する制御手段とを備える。

【0012】これにより、処理プログラム用の記憶容量の増大を抑えながら、サンプリング周波数の違いによる処理能力の差を有効に利用可能な信号処理装置が得られる。

【0013】

【発明の実施の形態】本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えている。

【0014】また、本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行するそれぞれの処理ブロックの処理回数を制御する制御手段とを備えている。

【0015】また、本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムを複数個持ち、その内の1つのプログラムにより前記デジタル信号を処理する信号処理手段と、制御情報に応じて前記信号処理手段のプログラムを選択し、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えている。

【0016】また、本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムを複数個持ち、その内の1つのプログラムにより前記デジタル信号を処理する信号処理手段と、制御情報に応じて前記信号処理手段のプログラムを選択し、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックの実行回数を制御する制御手段とを備えている。

【0017】また、本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、前記信号処理手段用の複数のプログラムを持ち、制御情報に応じて前記信号処理手段のプログラムの1つを選択して信号処理手段へ送るとともに、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行する処理ブロックを選択する制御手段とを備えている。

【0018】また、本発明は、デジタル信号のサンプリング周波数を検出するサンプリング周波数検出手段と、複数の処理ブロックからなる処理プログラムにより前記デジタル信号を処理する信号処理手段と、前記信号処理手段用の複数のプログラムを持ち、制御情報に応じて前記信号処理手段のプログラムの1つを選択して信

号処理手段へ送るとともに、前記サンプリング周波数検出手段が検出するサンプリング周波数に応じて前記信号処理手段が実行するそれぞれの処理ブロックの実行回数を制御する制御手段とを備えている。

【0019】以上のような構成により、サンプリング周波数検出手段により検出されたサンプリング周波数に応じて、制御手段が信号処理手段の処理内容を制御し、それぞれのサンプリング周波数で処理できる最大ステップ数以下の処理を、処理プログラムの入れ替え無しに実行できる。

【0020】以下、本発明の実施の形態について、図面を参照しながら説明する。図1は本発明の実施の形態における信号処理装置の構成を示すブロック図である。

【0021】図1において、101は信号入力端子、102はデジタルオーディオインターフェイスレシーバ（以下、DIRと呼ぶ）、103はDIR102からのデータを処理するデジタルシグナルプロセッサ（以下、DSPと呼ぶ）、104は動作モードなどの制御情報が入力される制御情報入力端子、105はDIR102からのサンプリング周波数情報、および、制御情報に応じてDSP103を制御するマイコン、106はDSP103で処理されたデータを出力する出力端子である。なお、DIR102には、入力信号のサンプリング周波数検出手段が含まれる。また、マイコン105は制御手段、DSP103は信号処理手段の一形態である。

【0022】以上のように構成された本実施の形態について、以下その動作を説明する。まず、DIR102の動作を説明する。DIR102にはバイフェーズマーク変調された信号が入力され、PLLによりクロックおよびデータ復調が行われる。復調されたデータにはサンプリング周波数を示すサブコードが含まれているので、このサブコードによりサンプリング周波数を検出しマイコン105へ出力する。また、DIR102からは、サンプリング周波数 f_s [Hz] および、 $32f_s$ 、 $64f_s$ 、・・・など信号処理装置内の同期を取るための信号も出力されている（図示せず）。ただし、DSP103はサンプリング周波数 f_s と同期していない振動子からの動作クロックにより動作するものとする。また、DIR102への入力信号が中断したり、サンプリング周波数が変化したりした場合にはPLLのロックが一旦外れる。このPLLアンロック情報もマイコン105へ送られる。

【0023】次に、DSP103の動作を説明する。DSP103はDIR102からのサンプリング周波数に同期して送られてくるデータを受信し、サンプリング周波数とは非同期の動作クロックによって信号処理を施したあと、再びサンプリング周波数に同期したクロックで処理データを出力する。

【0024】図2に、信号処理内容の一例を示す。これは小型ステレオなどで2chステレオ入力に対して、音

質調整（バス、トレブル、グラフィックイコライザなど）、音響効果（残響音、反射音、音程変換など）付加を行う場合の処理プログラムの例である。つまり、これらの処理を行うための情報が制御情報として、制御情報入力端子104からマイコン105へ入力される。

【0025】図2において、処理プログラムは、処理ブロック1～処理ブロック5から成り、処理ブロック4（処理ブロック4-1～4-5）は、処理回数が制御されるものとする。

10 【0026】処理ブロック1ではサンプリング周波数とDSP処理の同期を取る。DIR102からのサンプリング周波数の信号がDSP103の同期入力端子（図示せず）に入力されており、サンプリング周波数信号のエッジによりDSP103内の同期フラグがセットされる。同期フラグのセットを検出して、DSP103はデータの処理を開始する。

20 【0027】DIR102とDSP103の間はシリアルデータ転送が行われている。この様子を図3に示す。データはLRクロック（サンプリング周波数 f_s の矩形波）の“L”期間がステレオ2chのLch, “H”期間がRchである。データはビットクロック（本実施例では $64f_s$ の矩形波）の立ち下がりで変化する。したがって、DSP103ではビットクロックの立ち上がりでデータをシフトレジスタに取り込み、シフトレジスタのデータをLRクロックのエッジで入力バッファにラッチする。DSPには入力バッファが2ch分独立に用意されているものと、1つのレジスタを2chで共用するものがあるが、本実施の形態では2ch分独立に持つものとする。

30 【0028】処理ブロック2では入力バッファに格納された入力データの取り込みを行う。入力データは通常16ビットの2補数形式であるが、DSP103の内部レジスタは24ビットである。そこで、16ビットのデータの符号ビットを8ビット分拡張し、さらに6ビット左シフトして内部レジスタに格納する。上位2ビットはオーバーフローを防ぐための処理マージンである。

【0029】処理ブロック3では音場制御を行う。具体的にはFIRフィルタによる反射音付加、オールパスフィルタの多段接続による残響音付加などの処理をする。

40 【0030】処理ブロック4-1、4-2、・・・では音質調整処理を行う。これは、バス、トレブル、グラフィックイコライザ処理であり、それぞれ、2次のIIRフィルタで実現できる。

【0031】処理ブロック5では処理終了したデータのビット22以下の16ビット（上位から3ビット目からの16ビット）を出力バッファに格納する。この時、処理終了データがオーバーフローしている場合にはクリップ処理をする。すなわち、処理終了データのビット22～24（上位3ビット）が異なる場合にはオーバーフローしているから、ビット24が1の場合8000（H）

を、0の場合には7FFF(H)を出力レジスタにセットする。

【0032】以上が終了したら、再び処理ブロック1に戻り、処理を繰り返す。それぞれの処理ブロックの処理ステップ数は、次の通りである。本実施の形態の各処理ブロックでは、条件分岐が含まれないので、処理ステップ数は常に一定である。条件分岐がある処理ブロックの場合には、最大処理ステップ数で考えればよい。

【0033】例えば、各処理ブロックが、以下のステップ数から成る処理プログラムを考える。

【0034】

処理ブロック1 : 2ステップ
 処理ブロック2 : 10ステップ
 処理ブロック3 : 180ステップ
 処理ブロック4-1 : 14ステップ
 処理ブロック4-2 : 14ステップ
 :

処理ブロック5 : 20ステップ

ここで、サンプリング周波数が48[kHz]の場合には1サンプリング周期内の最大処理可能ステップ数は260ステップであるから、処理ブロック4-x(x=1, 2, ...)は3回(x=3まで)実行可能で、全体の処理ステップ数は252ステップとなる。同様にサンプリング周波数が44.1[kHz]の場合には283ステップ実行可能であるから、処理ブロック4-xは5回(x=5まで)実行可能であり、全処理ステップ数は282ステップとなる。

【0035】従来例では、44.1[kHz]と48[kHz]それぞれのプログラムを用意し、サンプリング周波数に応じてプログラムを使い分けていたが、本実施の形態では、44.1[kHz]用のプログラムを基本にし、サンプリング周波数が48[kHz]の場合には処理ブロック4-4、4-5を実行せず、処理ブロック4-3の処理結果を処理ブロック5で出力バッファに転送する。具体的には、処理ブロック4-xは2次の巡回型フィルタで実現できるので、この部分のループ回数をサンプリング周波数48[kHz]の場合には3に、44.1[kHz]の場合には5に設定する構成でもよい。また、出力バッファに転送するレジスタのアドレスをサンプリング周波数が44.1[kHz]の場合には処理ブロック4-5の処理結果が格納されるレジスタに、48[kHz]の場合には処理ブロック4-3の処理結果が格納されるレジスタのアドレスに設定する。なお、処理はステレオ2chの信号に対して行われるから、処理結果が格納されるレジスタは2個ある。

【0036】つぎに、マイコン105の動作について説明する。図4はマイコン105の処理の流れを示す図である。

【0037】まず、信号処理装置の電源がonされる(STEP1)。次に、信号処理の動作モードを得る(STEP

2)。動作モードは、小型ステレオを例にとると、音楽モード(音場制御、音質調整など)、AVモード(マルチチャンネルサラウンドなど)、カラオケモード(ボイスキャンセル、キーコントロール、エコーなど)などがある。動作モードにより、DSP103を動作させるプログラムが決まる。

【0038】DSP103を動作させるプログラムが決まると、マイコン105はDSP103にプログラムを転送する。DSP103には、プログラム用のマスクROMを備えているものと、プログラム格納用RAMを備えているものがある。ROMタイプのDSPでは、マイコン105はプログラムの先頭アドレスをDSP103に転送する。RAMタイプのDSPの場合にはマイコン105から、DSP用処理プログラムをDSP103のプログラム格納用RAMへ転送する(STEP3)。なお、処理プログラムが転送されても、DSP103の入力・出力ともミュートイングされており、雑音などが出力されることはないものとする。

【0039】次に、DIR102から得られるサンプリング周波数の情報に応じて、DSP103で処理されるデジタルフィルタの係数をDSP103へ転送する(STEP4)。これは、デジタルフィルタの特性がサンプリング周波数に依存するためである。

【0040】さらに、サンプリング周波数に応じたDSP用処理プログラムの制御係数がDSP103へ転送される(STEP5)。本実施の形態では、先に述べたとおり、音質調整部のループ回数と出力バッファにデータを送るレジスタのアドレスが転送される。

【0041】以上でDSP103の処理の準備が整ったので、入力・出力のミュートイングを解除し、DSP103の処理が開始される(STEP6)。

【0042】DSP103が動作している間、マイコン105はDIR102からのPLLのロックが外れたという情報を監視しており、ロックが外れた場合、サンプリング周波数が変化したか判定し、変化している場合には、新しいサンプリング周波数に応じたフィルタ係数、プログラム制御係数を転送するため、STEP4以下の処理を実行する(STEP7)。

【0043】また、制御情報入力端子から、動作モードを変化しよう情報が入った場合にはDSP用処理プログラムを入れ換えるため、STEP3以下の処理を実行する(STEP8)。

【0044】なお、処理プログラム、係数を変更する場合には、雑音発生を防ぐため、DSP103にミュートイングがかけられる。

【0045】また、本実施の形態では、ループ回数を変えることで、DSP用処理プログラムの処理量を調整したが、いくつかの処理ブロックを用意し、サンプリング周波数に応じて実行する処理ブロックを選択する構成にしても構わない。この場合DSP用処理プログラムの容

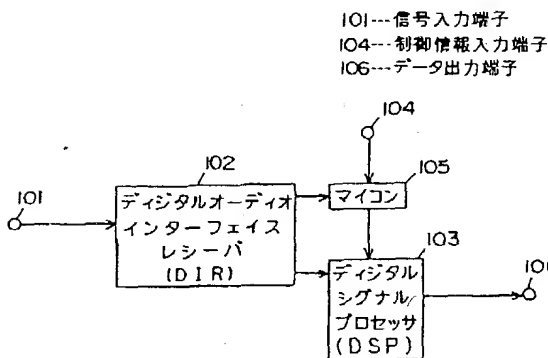
量が増加するが、多彩な処理ができるという利点がある。

【0046】

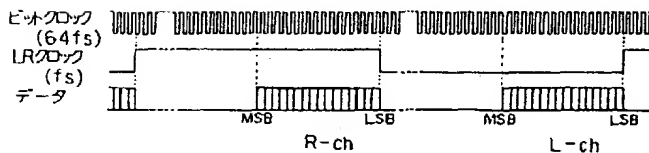
【発明の効果】 以上のように本発明によれば、サンプリング周波数検出手段により検出されたサンプリング周波数に応じて、制御手段が信号処理手段の処理内容を制御し、それぞれのサンプリング周波数で処理できる最大ステップ数以下の処理を、DSPでの処理プログラムの入れ替え無しに実行できる。このため、DSPでの処理プログラムを記憶しておくためのメモリが大幅に削減できる。さらに、サンプリング周波数に応じた処理プログラムの入れ替えが発生しないので、サンプリング周波数変化に伴う処理時間も短縮できるという実用上優れた効果を有するものである。

【図面の簡単な説明】

【図1】



【図3】



【図1】 本発明の実施の形態による信号処理装置の構成を示すブロック図

【図2】 同信号処理装置のDSPの処理内容を示す流れ図

【図3】 同信号処理装置でのDIRとDSPの間のシリアルデータ転送を示す波形図

【図4】 同信号処理装置のマイコンの処理内容を示す流れ図

【図5】 従来の信号処理装置の構成を示すブロック図

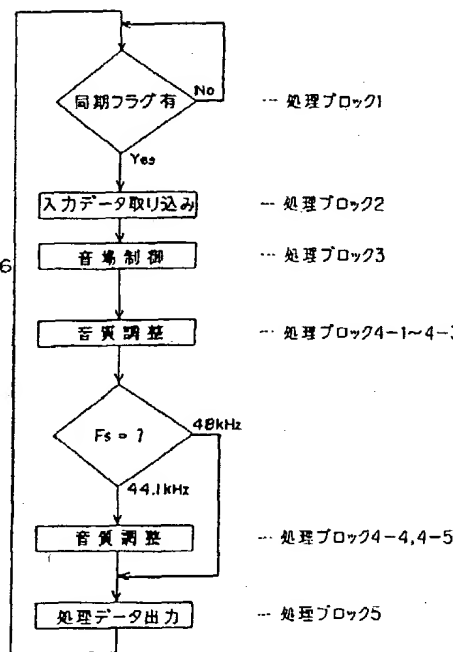
【符号の説明】

102 デジタルオーディオインターフェイスレシーバ

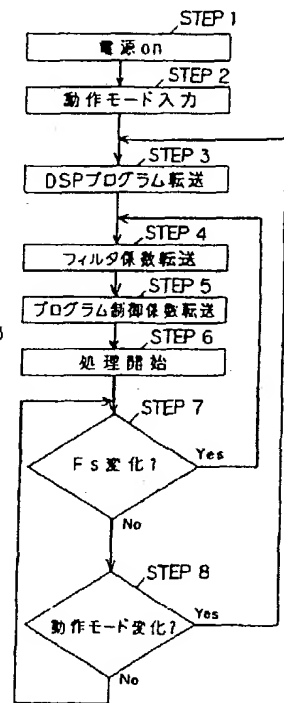
103 デジタルシグナルプロセッサ

105 マイコン

【図2】



【図4】



【図5】

51---デジタル信号入力端子
54---デジタル信号出力端子

